(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0125084
(43) 공개일자 2019년11월06일

(51) 국제특허분류(Int. Cl.)
H01L 27/15 (2006.01) *H01L 33/38* (2010.01)
H01L 33/48 (2010.01) *H01L 33/62* (2010.01)
(52) CPC특허분류
H01L 27/156 (2013.01)
H01L 33/382 (2013.01)
(21) 출원번호 10-2018-0049372
(22) 출원일자 2018년04월27일
심사청구일자 없음

(71) 출원인
주식회사 루멘스
경기도 용인시 기흥구 원고매로 12 (고매동)
(72) 발명자
김대원
경기도 용인시 수지구 광교마을로 134, 103동 503호 (상현동, 광교지웰홈스)
(74) 대리인
유창열

전체 청구항 수 : 총 13 항

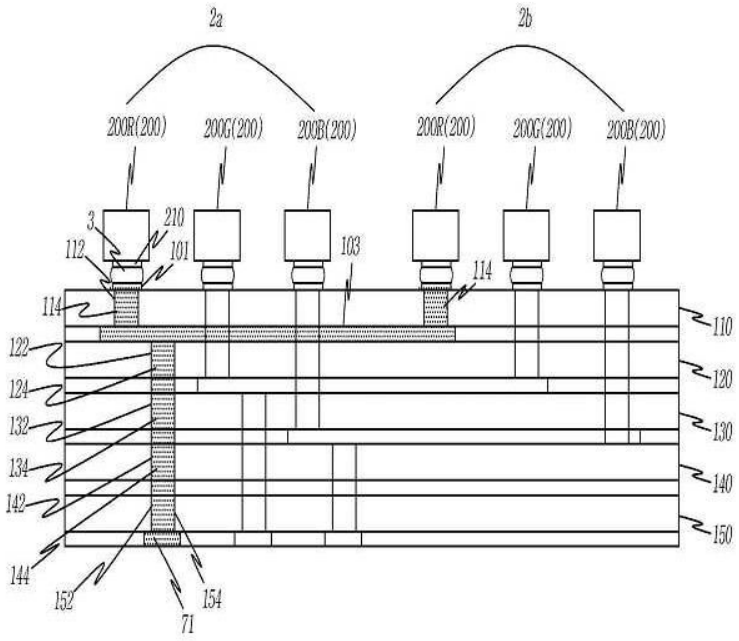
(54) 발명의 명칭 **다층 연성 회로 기판을 갖는 마이크로 엘이디 모듈**

(57) 요 약

마이크로 엘이디 모듈이 개시된다. 이 마이크로 엘이디 모듈은, 연성 회로 기판; 및 상기 연성 회로 기판 상에 실장되고, 적어도 하나의 변 길이가 100㎛ 이하인 제1 마이크로 엘이디 칩, 제2 마이크로 엘이디 칩 및 제3 마이크로 엘이디 칩을 포함하는 복수개의 엘이디 픽셀들을 포함하며, 상기 제1 마이크로 엘이디 칩, 제2 마이크로 엘

(뒷면에 계속)

대 표 도



이디 칩 및 제3 마이크로 엘이디 칩 각각은 80㎛ 이하 폭을 갖는 하나 이상의 전극 패드를 상기 연성 회로 기판과 마주하는 면에 포함하며, 상기 연성 회로 기판은 80㎛ 직경 이하의 솔더 범프에 의해 상기 전극 패드와 연결되는 제1 도전성 패턴을 상면에 포함하는 제1 연성 절연막과, 제2 도전성 패턴을 사이에 두고 상기 제1 연성 절연막의 하부에 결합되는 제2 연성 절연막을 포함하며, 상기 제1 연성 절연막은 상기 제1 도전성 패턴의 일부와 연결되는 상단에서 하단까지 횡단면 형상 및 면적이 일정하도록 형성된 제1 비아홀과 상기 제1 비아홀에 채워져 형성되는 제1 비아를 포함한다.

(52) CPC특허분류
H01L 33/486 (2013.01)
H01L 33/62 (2013.01)

명 세 서

청구범위

청구항 1

제1 도전성 패턴, 제2 도전성 패턴 및 제3 도전성 패턴을 포함하는 연성 회로 기판; 및

상기 제1 도전성 패턴의 상측에 상기 제1 도전성 패턴과 전기적으로 연결되는 적어도 한 변의 길이가 100㎛ 이하인 제1 마이크로 엘이디 칩, 상기 제2 도전성 패턴의 상측에 상기 제2 도전성 패턴과 전기적으로 연결되는 적어도 한 변의 길이가 100㎛ 이하인 제2 마이크로 엘이디 칩 및 상기 제3 도전성 패턴의 상측에 상기 제3 도전성 패턴과 전기적으로 연결되는 적어도 한 변의 길이가 100㎛ 이하인 제3 마이크로 엘이디 칩을 포함하는 복수개의 엘이디 픽셀들을 포함하며,

상기 제1 마이크로 엘이디 칩, 제2 마이크로 엘이디 칩 및 제3 마이크로 엘이디 칩 각각은 80㎛ 이하 폭을 갖는 적어도 하나 이상의 전극 패드를 포함하고,

상기 연성 회로 기판은, 상기 제1 도전성 패턴의 상면에 형성되는 제1 연성 절연막과, 상기 제1 도전성 패턴의 하면과 상기 제2 도전성 패턴의 상면에 접하여 형성되는 제2 연성 절연막을 포함하고,

상기 제1 연성 절연막은 상면에서 하면까지 동일한 횡단면을 갖는 제1 비아홀과, 상기 제1 비아홀에 형성되어 상기 제1 도전성 패턴과 전기적으로 연결되는 연결패드를 포함하는 것을 특징으로 하는 마이크로 엘이디 모듈.

청구항 2

청구항 1항에 있어서, 상기 연성 회로 기판은 상기 제1 마이크로 엘이디 칩, 상기 제2 마이크로 엘이디 칩 및 상기 제3 마이크로 엘이디 칩의 전극 패드와 각각 대응하는 적어도 하나의 전극 패턴을 포함하는 것을 특징으로 하는 마이크로 엘이디 모듈.

청구항 3

청구항 2항에 있어서, 상기 전극 패턴은 상기 연성 회로 기판의 연결패드와 전기적으로 연결되는 것을 특징으로 하는 마이크로 엘이디 모듈.

청구항 4

청구항 1항에 있어서, 상기 제2 연성 절연막은 상면에서 하면까지 동일한 횡단면을 가지는 제2 비아홀을 포함하며,

상기 제1 비아홀과 상기 제2 비아홀은 연속적으로 형성되는 것을 특징으로 하는 마이크로 엘이디 모듈.

청구항 5

청구항 1에 있어서, 상기 제1 비아홀은 원통형인 것을 특징으로 하는 마이크로 엘이디 모듈.

청구항 6

청구항 1에 있어서, 상기 제1 연결 패드가 상기 제2 도전성 패턴의 대응 영역에 연결되도록, 상기 제1 연성 절연막과 상기 제2 연성 절연막이 적층 결합된 것을 특징으로 하는 마이크로 엘이디 모듈.

청구항 7

청구항 4에 있어서, 상기 제1 비아홀과 상기 제2 비아홀은 동일한 횡단면 크기 및 형상을 갖는 것을 특징으로 하는 마이크로 엘이디 모듈.

청구항 8

청구항 1에 있어서, 상기 1 연성 절연막은 포토리소그래피 공정에 의해 연성 기재에 제1 비아홀이 형성된 후 상기 제1 비아홀에 금속이 채워져 연결패드가 형성된 것임을 특징으로 하는 마이크로 엘이디 모듈.

청구항 9

제1 도전성 패턴, 제2 도전성 패턴, 제3 도전성 패턴 및 제n 도전성 패턴을 포함하는 연성 회로 기판;

상기 제1 도전성 패턴의 상측에 상기 제1 도전성 패턴과 전기적으로 연결되는 적어도 한 변의 길이가 100㎛ 이하인 제1 마이크로 엘이디 칩, 상기 제2 도전성 패턴의 상측에 상기 제2 도전성 패턴과 전기적으로 연결되는 적어도 한 변의 길이가 100㎛ 이하인 제2 마이크로 엘이디 칩 및 상기 제3 도전성 패턴의 상측에 상기 제3 도전성 패턴과 전기적으로 연결되는 적어도 한 변의 길이가 100㎛ 이하인 제3 마이크로 엘이디 칩을 포함하는 복수개의 엘이디 픽셀들을 포함하며,

상기 제1 마이크로 엘이디 칩, 상기 제2 마이크로 엘이디 칩 및 상기 제3 마이크로 엘이디 칩 각각은 80㎛ 이하 폭을 갖는 적어도 하나 이상의 전극 패드를 포함하고,

상기 연성 회로 기판은, 상기 제1 도전성 패턴 상면에 형성되는 제1 연성 절연막, 상기 제1 도전성 패턴과 상기 제2 도전성 패턴 사이에 형성되는 제2 연성 절연막 및 제n-1 도전성 패턴과 상기 제n 도전성 패턴 사이에 형성되는 제n 연성 절연막과, 상기 제1 연성 절연막의 상면에서 제n 연성 절연막의 하면까지 동일한 횡단면을 갖는 비아홀들과, 상기 비아홀들에 형성되어 상기 제1 도전성 패턴과 전기적으로 연결되는 연결패드들을 더 포함하는 것을 특징으로 하는 마이크로 엘이디 모듈.

청구항 10

연성 회로 기판; 및

상기 연성 회로 기판 상에 실장되고, 적어도 하나의 변 길이가 100㎛ 이하인 제1 마이크로 엘이디 칩, 제2 마이크로 엘이디 칩 및 제3 마이크로 엘이디 칩을 포함하는 제1 엘이디 픽셀 및 제2 엘이디 픽셀을 포함하며,

상기 제1 마이크로 엘이디 칩, 제2 마이크로 엘이디 칩 및 제3 마이크로 엘이디 칩 각각은 80㎛ 이하 폭을 갖는 하나 이상의 제1 및 제2 전극 패드를 상기 연성 회로 기판과 마주하는 면에 포함하는 플립칩형 마이크로 엘이디 칩이며,

상기 연성 회로 기판은 80㎛ 직경 이하의 솔더 범프에 의해 상기 전극 패드와 연결되는 제1 전극 패턴 및 제2 전극 패턴을 포함하는 전극 패턴들을 상면에 포함하는 제1 연성 절연막과, 제1 도전성 패턴들을 사이에 두고 상기 제1 연성 절연막의 하부에 결합되는 제2 연성 절연막과, 제2 도전성 패턴들을 사이에 두고 상기 제2 연성 절연막의 하부에 결합되는 제3 연성 절연막과, 제3 도전성 패턴들을 사이에 두고 상기 제3 연성 절연막의 하부에 결합되는 제4 연성 절연막과, 제4 도전성 패턴을 사이에 두고 상기 제4 연성 절연막의 하부에 결합되는 제5 연성 절연막을 포함하며,

상기 제1 연성 절연막은 상기 제1 엘이디 픽셀의 제1 마이크로 엘이디 칩의 제1 전극 패드에 대응되는 제1 전극 패턴 및 상기 제2 마이크로 엘이디 칩의 제1 전극 패드에 대응되는 제1 전극 패턴을 모두 상기 제1 도전성 패턴에 연결하기 위한 연결 패드들을 포함하는 제1 배선을 포함하고,

상기 제1 연성 절연막 및 상기 제2 연성 절연막은 상기 제1 엘이디 픽셀의 제2 마이크로 엘이디 칩의 제1 전극 패드에 대응되는 제1 전극 패턴 및 상기 제2 마이크로 엘이디 칩의 제1 전극 패드에 대응되는 제1 전극 패턴을 모두 상기 제2 도전성 패턴에 연결하기 위한 연결 패드들을 포함하는 제2 배선을 포함하고,

상기 제1 연성 절연막, 상기 제2 연성 절연막 및 상기 제3 연성 절연막은 상기 제1 엘이디 픽셀의 제3마이크로 엘이디 칩의 제1 전극 패드에 대응되는 제1 전극 패턴 및 상기 제3 마이크로 엘이디 칩의 제1 전극 패드에 대응되는 제1 전극 패턴을 모두 상기 제3 도전성 패턴에 연결하기 위한 연결 패드들을 포함하는 제3 배선을 포함하며,

상기 제1 배선의 연결 패드들, 상기 제2 배선의 연결 패드들 및 상기 제3 배선의 연결 패드들은 상단에서 하단까지 횡단면 면적과 형상이 일정한 것을 특징으로 하는 마이크로 엘이디 모듈.

청구항 11

청구항 10에 있어서, 상기 제1 배선의 연결 패드들, 상기 제2 배선의 연결 패드들 및 상기 제3 배선의 연결 패드들이 형성되는 비아홀들 각각은 원통형인 것을 특징으로 하는 마이크로 엘이디 모듈.

청구항 12

청구항 10에 있어서, 상기 제1 연성 절연막, 상기 제2 연성 절연막, 상기 제3 연성 절연막 및 상기 제4 연성 절연막은 상기 제1 엘이디 픽셀 또는 상기 제2 엘이디 픽셀의 제1 마이크로 엘이디 칩, 제2 마이크로 엘이디 칩 및 제3 마이크로 엘이디 칩의 제2 전극 패드들에 대응되는 제2 전극 패턴들을 제4 도전성 패턴에 모두 연결하기 위한 연결 패드들을 포함하는 제4 배선을 포함하며, 상기 제4 배선의 연결 패드들은 상단에서 하단까지 횡단면 면적과 형상이 일정한 것을 특징으로 하는 마이크로 엘이디 모듈.

청구항 13

청구항 12에 있어서, 상기 제 4 배선의 연결 패드들이 형성되는 비아홀들은 각각은 원통형인 것을 특징을 하는 마이크로 엘이디 모듈.

발명의 설명

기 술 분 야

[0001] 본 발명은 다층 연성 회로 기판을 포함하는 엘이디 모듈에 관한 것이며, 구체적으로는, 다층 연성 회로 기판에 실장되는 마이크로 엘이디 칩들 간의 간격을 의도한 대로 확보할 수 있도록, 깊이 방향을 따라 단면이 일정한 비아홀(Via Hole)들을 갖는 다층 연성 회로 기판을 포함하는 마이크로 엘이디 모듈에 관한 것이다.

배 경 기 술

[0002] 일반적으로 FPCB(Flexible Printed Circuit Board)를 다층으로 설계하는 경우 층들간의 전기적 배선을 위해 비아홀(Via Hole)을 형성한다. 비아홀의 형성은 일반적으로 펀치나 드릴 등의 기구를 이용하는 기계적 방법이나 화학적 식각(Chemical Etching)을 이용하는 방법이 있다.

[0003] 마이크로 비아홀을 형성함에 있어서는, CO_2 레이저나 폴리이미드의 화학적 식각 기술을 이용하여 50 ~ 100 마이크로미터 크기의 홀을 형성하고 있으나, 플라즈마나 화학적 식각에 의한 가공 방법은 단위 면적당 홀의 수가 많은 경우 획기적인 가격 경쟁력을 나타내고는 있으나 적용할 수 있는 재료에 한계가 있다.

[0004] 또한, 종래의 CNC 드릴을 이용하는 방법이나 목형에 의한 펀칭법에 의해서도 100 마이크로미터 이하의 홀을 가공하고 있으며, 배선회로의 피치가 더욱 감소함에 따라 50 마이크로미터의 바이홀을 가공하는 기술도 요구되고 있으며, 이에 따라 엑시머 레이저나 YAG 레이저 등을 이용하여 20 마이크로미터 미만의 마이크로 홀을 가공하는 기술도 개발되고 있다.

[0005] 하지만, 이러한 종래의 방법에 의해 형성되는 비아홀(V1, V2)은 도 1에 도시된 바와 같이 가공 표면측의 면적(G1)이 넓고 반대 측의 면적(G2)이 좁은 형태의 원뿔대 형상으로 형성된다.

[0006] 이와 같이 원뿔대 형상으로 형성되는 경우, 복수 개의 마이크로 엘이디 칩들을 FPCB 기판에 실장하여 FPCB 베이스의 마이크로 엘이디 모듈을 제작함에 있어서 이하와 같은 단점이 존재한다.

[0007] 마이크로 엘이디 칩이 플립형 엘이디 칩 또는 버티컬형 엘이디 칩으로 형성되는 경우, 일반적으로 한 변의 길이가 100 마이크로미터 이하로 형성된다. 따라서, 마이크로 엘이디 칩의 전극패드의 가로 또는 세로의 한 변의 길이는 적어도 80 마이크로미터 이하로 형성되어야 한다. 전극패드의 한 변의 길이가 적어도 90 마이크로미터 이하로 형성되는 경우 전극패드 간 간격도 80 마이크로 이하로 형성되어야 하며, 80 마이크로미터 이하의 간격을 갖도록 범프를 형성하기 위해서는 비아홀의 직경은 대체로 70 마이크로미터 이하로 형성되어야 하는 제약이 따른다. 따라서, 이러한 단점을 극복하고자 마이크로 엘이디 모듈을 형성함에 있어서 복수 개의 층들을 사용하게 되는데, 다른 층들 간의 전기적 연결을 위한 비아홀을 형성함에 있어서 종래와 같이 원뿔대 형상으로 제작하는 경우, 비아홀의 넓게 형성된 부분으로 인해 수직 방향으로의 배선시 간섭을 고려하여야 하는 단점이 있다. 뿐만 아니라, 표면측의 넓게 형성된 부분으로 인해, 비아홀들 간의 표면측의 간격이 더 좁아지게 되어, 인접한 전극과의 쇼트 불량이 생길 가능성도 더 높아지게 되는 단점이 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명이 해결하고자 하는 과제는, 수직 배선의 효율성이 우수하고 쇼트 불량을 방지할 수 있는 비아홀을 갖는 다층 연성 회로 기판을 이용하여 구현되는 마이크로 엘이디 모듈을 제공하는 것이다.

과제의 해결 수단

[0009] 본 발명의 일측면에 따른 마이크로 엘이디 모듈은, 제1 도전성 패턴, 제2 도전성 패턴 및 제3 도전성 패턴을 포함하는 연성 회로 기판; 및 상기 제1 도전성 패턴의 상측에서 상기 제1 도전성 패턴과 전기적으로 연결되는 적어도 한 변의 길이가 100㎛ 이하인 제1 마이크로 엘이디 칩, 상기 제2 도전성 패턴의 상측에서 상기 제2 도전성 패턴과 전기적으로 연결되는 적어도 한 변의 길이가 100㎛ 이하인 제2 마이크로 엘이디 칩 및 상기 제3 도전성 패턴의 상측에서 상기 제3 도전성 패턴과 전기적으로 연결되는 적어도 한 변의 길이가 100㎛ 이하인 제3 마이크로 엘이디 칩을 포함하는 복수개의 엘이디 픽셀들을 포함하며, 상기 제1 마이크로 엘이디 칩, 제2 마이크로 엘이디 칩 및 제3 마이크로 엘이디 칩 각각은 80㎛ 이하 폭을 갖는 적어도 하나 이상의 전극 패드를 포함하고, 상기 연성 회로 기판은, 상기 제1 도전성 패턴의 상면에 형성되는 제1 연성 절연막과, 상기 제1 도전성 패턴의 하면과 상기 제2 도전성 패턴의 상면에 접하여 형성되는 제2 연성 절연막을 포함하고, 상기 제1 연성 절연막은 상면에서 하면까지 동일한 횡단면을 갖는 제1 비아홀과, 상기 제1 비아홀에 형성되어 상기 제1 도전성 패턴과 전기적으로 연결되는 연결패드를 포함한다.

[0010] 일 실시예에 따라, 상기 연성 회로 기판은 상기 제1 마이크로 엘이디 칩, 상기 제2 마이크로 엘이디 칩 및 상기 제3 마이크로 엘이디 칩의 전극 패드와 각각 대응하는 적어도 하나의 전극 패턴을 포함한다.

[0011] 일 실시예에 따라, 상기 전극 패턴은 상기 연성 회로 기판의 연결패드와 전기적으로 연결된다.

[0012] 일 실시예에 따라, 상기 제2 연성 절연막은 상면에서 하면까지 동일한 횡단면을 가지는 제2 비아홀을 포함하며, 상기 제1 비아홀과 상기 제2 비아홀은 연속적으로 형성된다.

[0013] 일 실시예에 따라, 상기 제1 비아홀은 원통형으로 형성된다.

[0014] 일 실시예에 따라, 상기 제1 연결 패드가 상기 제2 도전성 패턴의 대응 영역에 연결되도록, 상기 제1 연성 절연막과 상기 제2 연성 절연막이 적층 결합된다.

[0015] 일 실시예에 따라, 상기 제1 비아홀과 상기 제2 비아홀은 동일한 횡단면 크기 및 형상을 갖는다.

[0016] 일 실시예에 따라, 상기 1 연성 절연막은 포토리소그래피 공정에 의해 연성 기재에 제1 비아홀이 형성된 후 상기 제1 비아홀에 금속이 채워져 연결패드가 형성된 것이다.

[0017] 본 발명의 다른 측면에 따른 마이크로 엘이디 모듈은, 1 도전성 패턴, 제2 도전성 패턴, 제3 도전성 패턴 및 제n 도전성 패턴을 포함하는 연성 회로 기판; 상기 제1 도전성 패턴의 상측에서 상기 제1 도전성 패턴과 전기적으로 연결되는 적어도 한 변의 길이가 100㎛ 이하인 제1 마이크로 엘이디 칩, 상기 제2 도전성 패턴의 상측에서 상기 제2 도전성 패턴과 전기적으로 연결되는 적어도 한 변의 길이가 100㎛ 이하인 제2 마이크로 엘이디 칩 및 상기 제3 도전성 패턴의 상측에서 상기 제3 도전성 패턴과 전기적으로 연결되는 적어도 한 변의 길이가 100㎛ 이하인 제3 마이크로 엘이디 칩을 포함하는 복수개의 엘이디 픽셀들을 포함하며, 상기 제1 마이크로 엘이디 칩, 상기 제2 마이크로 엘이디 칩 및 상기 제3 마이크로 엘이디 칩 각각은 80㎛ 이하 폭을 갖는 적어도 하나 이상의 전극 패드를 포함하고, 상기 연성 회로 기판은, 상기 제1 도전성 패턴 상면에 형성되는 제1 연성 절연막, 상기 제1 도전성 패턴과 상기 제2 도전성 패턴 사이에 형성되는 제2 연성 절연막 및 제n-1 도전성 패턴과 상기 제n 도전성 패턴 사이에 형성되는 제n 연성 절연막과, 상기 제1 연성 절연막의 상면에서 제n 연성 절연막의 하면까지 동일한 횡단면을 갖는 비아홀들과, 상기 비아홀들에 형성되어 상기 제1 도전성 패턴과 전기적으로 연결되는 연결패드들을 더 포함한다.

[0018] 본 발명의 또 다른 측면에 따른 마이크로 엘이디 모듈은, 연성 회로 기판; 및 상기 연성 회로 기판 상에 실장되고, 적어도 하나의 변 길이가 100㎛ 이하인 제1 마이크로 엘이디 칩, 제2 마이크로 엘이디 칩 및 제3 마이크로 엘이디 칩을 포함하는 제1 엘이디 픽셀 및 제2 엘이디 픽셀을 포함하며,

[0019] 상기 제1 마이크로 엘이디 칩, 제2 마이크로 엘이디 칩 및 제3 마이크로 엘이디 칩 각각은 80㎛ 이하 폭을 갖는 하나 이상의 제1 및 제2 전극 패드를 상기 연성 회로 기판과 마주하는 면에 포함하는 플립칩형 마이크로 엘이디 칩이며, 상기 연성 회로 기판은 80㎛ 직경 이하의 솔더 범프에 의해 상기 전극 패드와 연결되는 제1 전극 패턴 및 제2 전극 패턴을 포함하는 전극 패턴들을 상면에 포함하는 제1 연성 절연막과, 제1 도전성 패턴들을 사이에 두고 상기 제1 연성 절연막의 하부에 결합되는 제2 연성 절연막과, 제2 도전성 패턴들을 사이에 두고 상기 제2 연성 절연막의 하부에 결합되는 제3 연성 절연막과, 제3 도전성 패턴들을 사이에 두고 상기 제3 연성 절연막의 하부에 결합되는 제4 연성 절연막과, 제4 도전성 패턴을 사이에 두고 상기 제4 연성 절연막의 하부에 결합되는 제5 연성 절연막을 포함하며, 상기 제1 연성 절연막은 상기 제1 엘이디 픽셀의 제1 마이크로 엘이디 칩의 제1

전극 패드에 대응되는 제1 전극 패턴 및 상기 제2 마이크로 엘이디 칩의 제1 전극 패드에 대응되는 제1 전극 패턴을 모두 상기 제1 도전성 패턴에 연결하기 위한 연결 패드들을 포함하는 제1 배선을 포함하고, 상기 제1 연성 절연막 및 상기 제2 연성 절연막은 상기 제1 엘이디 픽셀의 제2 마이크로 엘이디 칩의 제1 전극 패드에 대응되는 제1 전극 패턴 및 상기 제2 마이크로 엘이디 칩의 제1 전극 패드에 대응되는 제1 전극 패턴을 모두 상기 제2 도전성 패턴에 연결하기 위한 연결 패드들을 포함하는 제2 배선을 포함하고, 상기 제1 연성 절연막, 상기 제2 연성 절연막 및 상기 제3 연성 절연막은 상기 제1 엘이디 픽셀의 제3마이크로 엘이디 칩의 제1 전극 패드에 대응되는 제1 전극 패턴 및 상기 제3 마이크로 엘이디 칩의 제1 전극 패드에 대응되는 제1 전극 패턴을 모두 상기 제3 도전성 패턴에 연결하기 위한 연결 패드들을 포함하는 제3 배선을 포함하며, 상기 제1 배선의 연결 패드들, 상기 제2 배선의 연결 패드들 및 상기 제3 배선의 연결 패드들은 상단에서 하단까지 횡단면 면적과 형상이 일정하다.

[0020] 일 실시예에 따라, 상기 제1 배선의 연결 패드들, 상기 제2 배선의 연결 패드들 및 상기 제3 배선의 연결 패드들이 형성되는 비아홀들 각각은 원통형인 것이 바람직하다.

[0021] 일 실시예에 따라, 상기 제1 연성 절연막, 상기 제2 연성 절연막, 상기 제3 연성 절연막 및 상기 제4 연성 절연막은 상기 제1 엘이디 픽셀 또는 상기 제2 엘이디 픽셀의 제1 마이크로 엘이디 칩, 제2 마이크로 엘이디 칩 및 제3 마이크로 엘이디 칩의 제2 전극 패드들에 대응되는 제2 전극 패턴들을 제4 도전성 패턴에 모두 연결하기 위한 연결 패드들을 포함하는 제4 배선을 포함하며, 상기 제4 배선의 연결 패드들은 상단에서 하단까지 횡단면 면적과 형상이 일정하다.

[0022] 일 실시예에 따라, 상기 제 4 배선의 연결 패드들이 형성되는 비아홀들 각각은 원통형인 것이 바람직하다,

발명의 효과

[0023] 본 발명에 따라, 일단에서 타단까지 깊이 방향을 따라 단면이 일정한 비아홀(Via Hole)들을 갖는, 더 구체적으로는 원통형의 비아홀들을 갖는 층들이 적층되어 구성된 다층 연성 회로 기판을 기반으로 한 마이크로 엘이디 모듈이 제공된다. 본 발명에 따르면, 전술한 비아홀들에 의해 수직 배선의 효율성을 도모할 수 있고, 비아홀들 간 충분한 거리 확보가 가능하여 쇼트 불량이 방지된다.

도면의 간단한 설명

[0024] 도 1은 종래기술을 설명하기 위한 도면이다.

도 2는 본 발명의 일 실시예에 따른 마이크로 엘이디 모듈을 도시한 평면도이다.

도 3은 도 2의 일부를 확대하여 도시한 평면도로서, 보이지 않는 전극패드와 솔더를 은선으로 표시한 도면이다.

도 4는 도 3의 A-A 단면도이다.

도 5는 도 3의 B-B 단면도이다.

도 6은 도 3의 C-C 단면도이다.

도 7은 도 3의 D-D 단면도이다.

도 8은 하나의 마이크로 엘이디 칩에 대하여 비아홀 및 비아홀들에 형성되는 연결 패드들의 위치 관계를 설명하기 위한 도면이다.

도 9는 본 발명에 따른 마이크로 엘이디 모듈의 적층 구조를 예시적으로 보여주는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하 첨부된 도면을 참조하여 본 발명을 자세히 설명한다.

[0026] 도 2는 본 발명의 일 실시예에 따른 마이크로 엘이디 모듈을 도시한 평면도이고, 도 3은 도 2의 일부를 확대하여 도시한 평면도로서, 보이지 않는 전극패드와 솔더를 은선으로 표시한 도면이다.

[0027] 도 2 및 도 3을 참조하면, 본 실시예에 따른 엘이디 모듈은 연성 회로 기판(100)과 상기 연성 회로 기판(100) 상에 행렬 배열로 어레이된 복수개의 엘이디 픽셀(2a, 2b)들을 포함한다. 상기 엘이디 픽셀(2a, 2b)들 각각은 서로 다른 파장의 광을 발하는 제1 마이크로 엘이디 칩(200R), 제2 마이크로 엘이디 칩(200G) 및 제3 마이크로 엘이디 칩(200B)을 포함한다. 제1, 제2 및 제3 마이크로 엘이디 칩(200R, 200G, 200B; 통칭하여 200)은 각각

적색 마이크로 엘이디 칩(200R), 녹색 마이크로 엘이디 칩(200G) 및 청색 마이크로 엘이디 칩(200B)로 구성될 수 있다.

[0028] 상기 마이크로 엘이디 칩(200)들 각각은 적어도 한 변의 길이가 100㎛ 이하인 플립칩형 마이크로 엘이디 칩이다. 더 구체적으로는, 본 실시예에 따른 마이크로 엘이디 칩(200)은 짧은 변의 길이가 100㎛, 긴 변의 길이가 300㎛인 상부면과 하부면을 포함하는 마이크로 엘이디 칩이다. 이에 따라, 마이크로 엘이디 칩(200)에 구비된 전극 패드(201, 202)들 각각은 한 변의 길이, 즉, 폭이 80㎛ 이하이고, 전극 패드들 간 간격은 그에 맞게 대략 80㎛ 이하이다. 본 발명에 따라, 80㎛ 이하 간격으로 형성된 전극들 및 솔더 범프들에 잘 적응될 수 있는 연성 회로 기판(100)이 제공된다. 솔더 범프의 직경 또한 80㎛ 직경 이하이다.

[0029] 도 4는 도 3의 A-A 단면도이고, 도 5는 도 3의 B-B 단면도이고, 도 6은 도 3의 C-C 단면도이고, 도 7은 도 3의 D-D 단면도이다.

[0030] 도 3 내지 도 7에는 도 2에 도시된 다수의 엘이디 픽셀(2a, 2b)들 중 일부의 엘이디 픽셀들인 제1 엘이디 픽셀(2a)과 제2 엘이디 픽셀이(2b)만이 확대되어 보여진다. 도 3 내지 도 7을 참조하면, 상기 제1 엘이디 픽셀(2a) 및 상기 제2 엘이디 픽셀(2b) 각각은 적색광을 발하는 제1 마이크로 엘이디 칩(200R)과, 녹색광을 발하는 제2 마이크로 엘이디 칩(200G)과, 청색광을 발하는 제3 마이크로 엘이디 칩(200B)으로 구성된다.

[0031] 상기 연성 회로 기판(100)은 상기 제1 엘이디 픽셀(2a) 및 제2 엘이디 픽셀(2b) 각각의 제1 마이크로 엘이디 칩(200R), 제2 마이크로 엘이디 칩(200G) 및 제3 마이크로 엘이디 칩(200B)이 실장되는 연성 회로 기판으로, 전극 패드 및 도전성 패턴들이 형성된 복수개의 연성 절연막(110, 120, 130, 140, 150)들이 적층되어 이루어진 다층 구조로 이루어진다. 본 실시예에서, 상기 다층 구조는 제1 연성 절연막(110), 제2 연성 절연막(120), 제3 연성 절연막(130), 제4 연성 절연막(140) 및 제5 연성 절연막(150)을 포함한다. 상기 연성 절연막들의 연성 및 마이크로 엘이디 칩들의 크기 및 간격으로 인해, 상기 연성 회로 기판(100)은 마이크로 엘이디 모듈의 설치 면에 따라 자유자재로 형상이 변경될 수 있다.

[0032] 상기 제1 연성 절연막(110)의 상면에는 마이크로 엘이디 칩(200R, 200G, 200B)들의 제1 전극 패드(210)들 및 제2 전극 패드(220)들에 대응되는 제1 전극 패턴(101)들과 제2 전극 패턴(102)들을 포함하는 전극 패턴들이 형성된다. 이때, 상기 전극 패턴들은 제1 마이크로 엘이디 칩(200R)에 대응되는 전극 패턴, 제2 마이크로 엘이디 칩(200G)에 대응되는 전극 패턴, 제3 마이크로 엘이디 칩(200B)에 대응되는 전극 패턴을 포함한다.

[0033] 또한, 상기 제1 연성 절연막(110)을 관통하도록 다수의 비아홀(112)이 형성되며, 상기 다수의 비아홀(112) 각각에는 제1 도전성 연결 패드(114)가 형성된다. 상기 제1 도전성 연결 패드(114)는 비아홀(112)을 전체적으로 채우는 중실형이거나 또는 중앙이 비어 있는 중공형 연결 패드일 수 있다.

[0034] 또한, 상기 제1 연성 절연막(110)에 형성된 비아홀(112)들은 일단에서 타단까지 깊이 방향을 따라 횡단면의 면적과 형상이 일정한 원통형으로 이루어진다.

[0035] 통상적인 PCB에 구비된 절연층에 형성된 비아홀의 경우에는 상단이 넓고 하단이 좁은 원뿔대형으로 비아홀이 형성되는데, 이러한 원뿔대형 비아홀은 제1 절연막(110)의 상면, 더 나아가서는, 연성 회로 기판(100)의 상면에서 하나의 마이크로 엘이디 칩의 전극 패드들(210, 220)에 대응되는 전극 패턴들(101, 102) 사이의 간격을 줄이는 것을 제한하게 되며, 또한, 이웃하는 마이크로 엘이디 칩(200)들 사이의 간격을 줄이는데 있어서도 제한을 준다.

[0036] 전극 패턴들(101, 102) 사이의 간격을 작게 할 수 없다는 것은 마이크로 엘이디 칩(200)의 크기를 더 줄일 수 없음을 의미한다.

[0037] 반면, 본 발명에 따르면, 상기 제1 연성 절연막(110)에 형성된 제1 비아홀(112)들과 상기 제1 비아홀(112)에 형성되는 제1 도전성 연결 패드(114)들은, 상기 전극 패턴(101, 102)들과 연결되는 제1 연성 절연막(110) 상단에서 상기 제1 연성 절연막(110) 하단까지 횡단면의 면적과 형상이 일정하므로, 전극 패턴(101, 102)들 사이의 간격을 줄이는 것이 가능하며, 마이크로 엘이디 칩(200)들 간 간격을 더 줄이는 것도 가능하다.

[0038] 또한, 상기 제2 연성 절연막(120), 상기 제3 연성 절연막(130), 상기 제4 연성 절연막(140) 및 제5 연성 절연막(150) 각각에도 상단에서 하단까지 횡단면 면적과 형상이 동일한 제2, 제3, 제4 및 제5 비아홀(122, 132, 142, 152)들이 원통형으로 형성되고, 상기 제2, 제3, 제4 및 제5 비아홀(122, 132, 142, 152)들 각각에는 제2, 제3, 제4 및 제5 도전성 연결 패드(124, 134, 144, 154)들이 형성된다. 위와 같이, 제2, 제3, 제4 및 제5 비아홀(122, 132, 142, 152) 및 그 안쪽에 형성되는 제2, 제3, 제4 및 제5 도전성 연결 패드(124, 134, 144, 154)들

또한 상단에서 하단까지 일정한 횡단면을 갖는 원통형으로 이루어짐으로써, 상하로 이웃하는 연성 절연막 사이에서 연결 패드들간의 간섭을 최소화할 수 있다. 만일 기존에서와 같이 원뿔대인 비아홀과 연결 패드들이 채용될 경우 연결 패드들간의 원치 않는 간섭으로 인한 문제점이 발생할 것이다.

[0039] 상기 제1 연성 절연막(110)과 상기 제2 연성 절연막(120) 사이에는 제1 도전성 패턴(103)이 상기 제1 연성 절연막(110)의 하면과 상기 제2 연성 절연막(120)의 상면에 접하여 형성되고, 상기 제2 연성 절연막(120)의 하면과 상기 제3 연성 절연막(130)의 상면에 접하여 제2 도전성 패턴(104)이 형성되고, 상기 제3 연성 절연막(130)의 하면과 상기 제4 연성 절연막(140)의 상면과 접하여 제3 도전성 패턴(105)이 형성되고, 상기 제4 연성 절연막(140)의 하면과 상기 제5 연성 절연막(150)의 상면에 접하여 제4 도전성 패턴(106)이 형성된다.

[0040] 상기 제1 도전성 패턴(103)은 상기 제1 연성 절연막(110)과 상기 제2 연성 절연막(120) 사이에서 상기 제1 도전성 연결 패드(114)들 중 적어도 하나와 상기 제2 도전성 연결 패드(124)들 중 적어도 하나를 연결하고, 상기 제2 도전성 패턴(104)은 상기 제2 연성 절연막(120)과 상기 제3 연성 절연막(130) 사이에서 상기 제2 도전성 연결 패드(124)들 중 적어도 하나와 상기 제3 도전성 연결 패드(134)들 중 적어도 하나를 연결하고, 상기 제3 도전성 패턴(105)은 상기 제3 연성 절연막(130)과 상기 제4 연성 절연막(140) 사이에서 상기 제3 도전성 연결 패드(134)들 중 적어도 하나와 상기 제4 도전성 연결 패드(144)들 중 적어도 하나를 연결하고, 상기 제4 도전성 패턴(106)은 상기 제4 연성 절연막(140)과 상기 제5 연성 절연막(150) 사이에서 상기 제4 도전성 연결 패드(144)들 중 적어도 하나와 상기 제5 도전성 연결 패드(154)들 중 적어도 하나를 연결한다. 상기 제5 연성 절연막(150)의 저면에는 입력 단자와 출력 단자를 구성하는 도전성 패턴이 형성된다. 만일 제5 연성 절연막(150)의 저면에 하나 이상의 연성 절연막이 더 추가된다면, 전술한 구조들이 제5 연성 절연막(150) 하측의 연성 절연막이 더 제공될 것이다.

[0041] 본 실시예에 있어서는, 서로 다른 엘이디 픽셀(2a, 2b)들에 포함된 제1 마이크로 엘이디 칩(200R, 200R)들의 대응 제1 전극들(210)이 솔더 범프(3)들에 의해 대응 제1 전극 패턴(101)들과 연결되고 상기 대응 제1 전극 패턴(101)들이 대응 제1 도전성 패턴(103)과 연결된 대응 제1 연결 패드(114)들과 연결되고, 대응 제1 도전성 패턴(103)이 대응 제2 연결 패드(124), 제3 연결 패드(134), 제4 연결 패드(144), 제5 연결 패드(154)를 포함하는 배선을 거쳐 제5 도전성 패턴의 일부인 R 단자(71)와 연결된다. 이에 따라, 서로 다른 픽셀(2a, 2b)들에 포함된 제1 마이크로 엘이디 칩들(200R, 200R)의 제1 전극들이 전기적으로 연결된다.(도 4 참조)

[0042] 또한, 서로 다른 엘이디 픽셀(2a, 2b)들에 포함된 제2 마이크로 엘이디 칩(200G, 200G)들의 대응 제1 전극들(210)이 솔더 범프(3)들에 의해 대응 제1 전극 패턴(101)들과 연결되고 상기 대응 제1 전극 패턴(101)들이 대응 제1 연결 패드(114)들 중 적어도 하나 및 대응 제2 연결 패드(124) 중 적어도 하나를 거쳐 제2 도전성 패턴(104)들 중 하나에 연결되고, 제2 도전성 패턴(104)이 제3 연결 패드(134) 중 적어도 하나 및 제4 연결 패드(144) 중 적어도 하나 및 제5 연결 패드(154) 중 적어도 하나를 거쳐 제5 도전성 패턴의 다른 일부인 G 단자(72)와 연결된다. 이에 따라, 서로 다른 픽셀(2a, 2b)들에 포함된 제2 마이크로 엘이디 칩들(200R, 200R)의 제1 전극 패드(210)들이 전기적으로 연결된다. (도 5 참조)

[0043] 또한, 서로 다른 엘이디 픽셀(2a, 2b)들에 포함된 제3 마이크로 엘이디 칩(200B, 200B)들의 대응 제1 전극 패드(210)들이 솔더 범프(3)들에 의해 대응 제1 전극 패턴(101)들과 연결되고 상기 대응 제1 전극 패턴(101)들이 대응 제1 연결 패드(114)들 중 적어도 하나, 대응 제2 연결 패드(124)들 중 적어도 하나 및 대응 제3 연결 패드(134)들 중 적어도 하나를 거쳐 제3 도전성 패턴(105)들 중 하나에 연결되고, 제3 도전성 패턴(105)이 제4 연결 패드(144) 중 적어도 하나 및 제5 연결 패드(154) 중 적어도 하나를 거쳐 제5 도전성 패턴의 다른 일부인 B 단자(73)와 연결된다. 이에 따라, 서로 다른 픽셀(2a, 2b)들에 포함된 제2 마이크로 엘이디 칩들(200R, 200R)의 제1 전극들이 전기적으로 연결된다. (도 6 참조)

[0044] 또한 각 픽셀(2a 또는 2b)에 포함된 제1, 제2 및 제3 마이크로 엘이디 칩(200R, 200G, 200B)의 제2 전극 패드(220)들이 솔더 범프(3)에 의해 제2 전극 패턴(102)들에 각각 연결되고, 상기 제2 전극 패턴(102)들이 제1 연결 패드(114), 대응 제2 연결 패드(124), 대응 제3 연결 패드(134), 대응 제4 연결 패드(144)를 거치는 3개의 배선에 의해 하나의 제4 도전성 패턴(106)에 연결되고, 제4 도전성 패턴(106)은 대응 제5 연결 패드(154)를 통해 제5 도전성 패턴의 다른 일부인 C 단자(74)와 연결된다.(도 7 참조)

[0045] 본 명세서에서, 용어 "제1 연결 패드", "제2 연결 패드", "제3 연결 패드", "제4 연결 패드" 및 "제5 연결 패드"는 제1 연성 절연막, 제2 연성 절연막, 제3 연성 절연막, 제4 연성 절연막, 제5 연성 절연막에 형성된 비아 각각을 의미하는 것이고, 이들 각 연결 패드, 즉, 제n 비아는 서로 분리된 채 다른 제n 연결 패드와 분리된 상태로 존재하는 것이지만 동일한 부재번호를 사용한다. 제1 비아홀, 제2 비아홀, 제3 비아홀, 제4 비아홀 및

제5 비아홀도 마찬가지이다. 그리고, 각 연성 절연막의 상면 또는 하면에 존재하는 제n 절연막도 여러 개일 수 있다.

[0046] 도 2 내지 도 7에 도시된 것과 같은 마이크로 엘이디 모듈을 구성함에 있어서, 연성 회로 기판을 구성하는 연성 절연막(110, 120, 130, 140. 150)들에 형성된 비아홀(112, 122, 132, 142, 152)들의 형상 및 크기가 마이크로 엘이디 칩(200)들의 크기 및 간격에 큰 영향을 미친다.

[0047] 도 8에 도시된 바와 같이, 연성 절연막(110, 120, 130, 140. 150)들에 형성된 비아홀(112, 122, 132, 142, 152)들 중에 최상단의 연성 절연막, 즉, 제1 연성절연막(110)에 형성된 비아홀(112)은 일단부로부터 타단부까지 횡단면 형상, 직경 및 면적이 동일한 원통형이다. 최상단의 제1 연성 절연막(110)에 형성된 비아홀(112)이 원통형이고 그 비아홀(112)에 형성된 제1 연결 패드(114)가 중실 또는 중공의 원통형이면, 연성 회로 기판(100)의 상면에서 전극 패턴들(101, 102) 사이의 간격을 충분히 좁힐 수 있어서, 마이크로 엘이디 칩(200)의 크기 및 이웃하는 두 마이크로 엘이디 칩(200)들 사이의 간격을 충분히 줄일 수 있다. 또한, 제1 연성 절연막(110) 외의 연성 절연막(120, 130, 140, 150)들에 형성된 비아홀들, 즉, 제2 제3, 제4, 제5 비아홀(122, 132, 142, 152)들 또한 일단부로부터 타단부까지 횡단면 형상, 직경 및 면적이 동일한 원통형이고 그 내부에 형성된 연결 패드들이 중실 또는 중공 원통형이며, 이에 의해, 연성 회로 기판(100) 내부의 동일 층에 여러 개의 비아들이 존재하더라도 비아 간 간섭을 방지할 수 있다.

[0048] 도 9에 도시된 바와 같이, 전극 패드들 및 도전성 패턴들이 상면에 형성되고 원통형의 비아홀(112, 122, 132, 142, 152)과 그 비아홀(112, 122, 132, 142, 152)들 내에 각각 채워진 연결 패드들(114, 124, 134, 144, 154)을 포함하는 복수의 연성 절연막(110, 120, 130, 1410, 150)들이 상하로 적층되어 전술한 것과 같은 연성 회로 기판이 제작된다. 이때, 비아홀(112, 122, 132, 142, 152)들은, 연성을 갖는 기재 상에 PR을 도포하여 PR 막을 형성하고, PR 막 상부에 마스크를 배치한 후 노광하는 일련의 포토리소그래피 공정에 의해 연성 기재에 형성된다. 위와 같은 포토리소그래피 공정에 의해, 비아홀(112, 122, 132, 142, 152)들은 깊이 방향을 따라 전 구간에 대하여 대체로 일정한 직경을 갖는 원통형으로 형성될 수 있다. 원통형 비아홀들은 연성 회로 기판의 상면에서는 전극 패드간 간격을 감소시켜 마이크로 엘이디 칩의 크기 감소 및 간격 감소에 기여할 수 있고 연성 회고 기판의 내부에서는 연결 패드들 간 간섭을 막아준다.

부호의 설명

[0049] 100: 연성 회로 기판

200, 200R, 200G, 200B: 마이크로 엘이디 칩

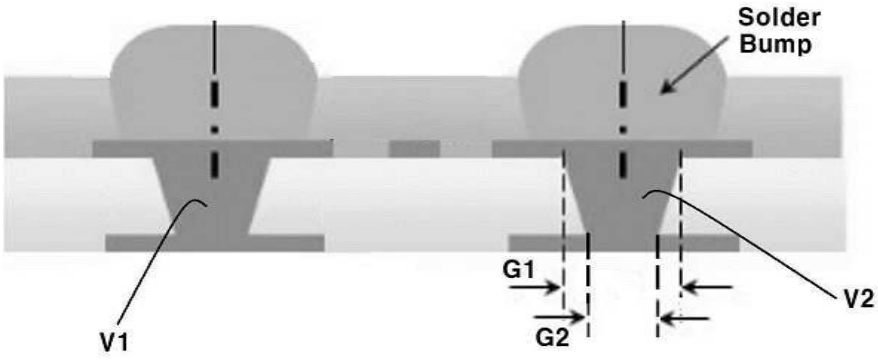
110, 120, 130, 140, 150: 연성 절연막

112, 122, 132, 142, 152: 비아홀

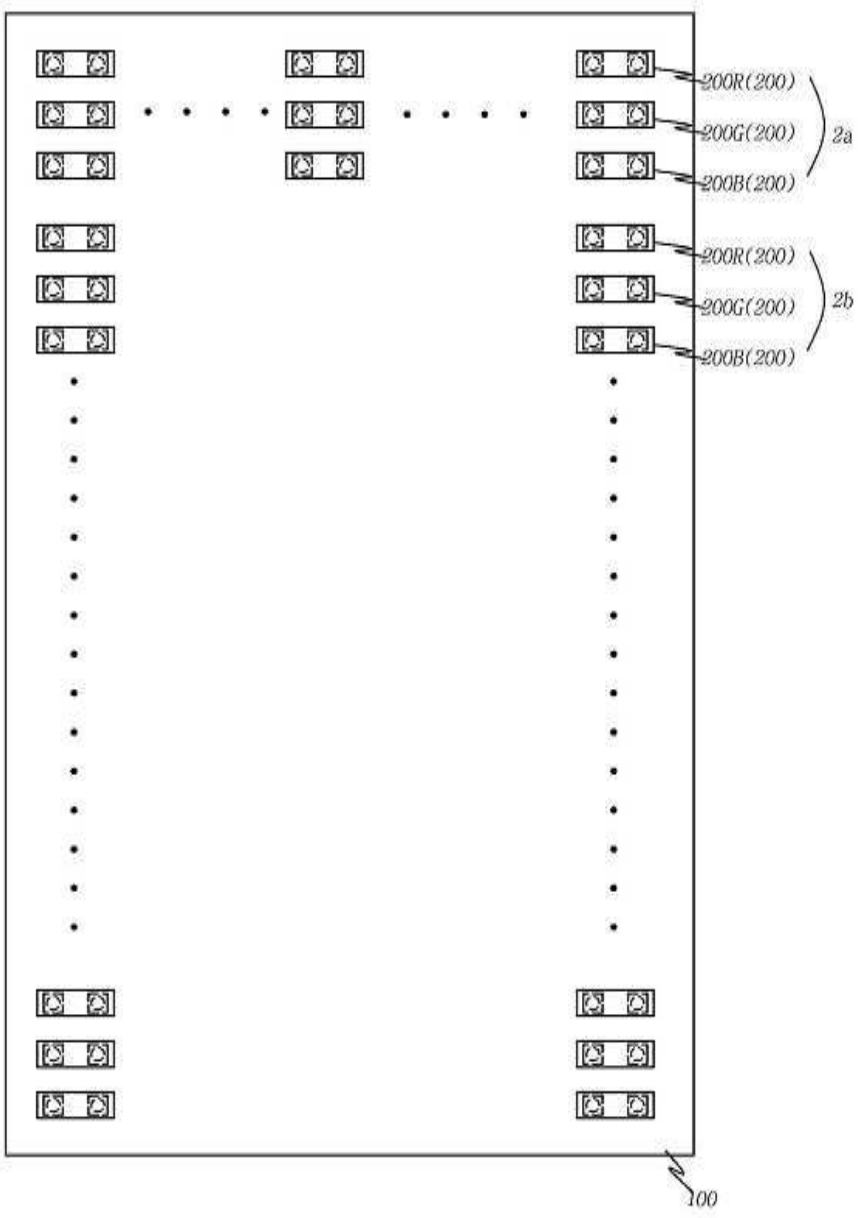
114, 124, 134, 144, 154: 연결 패드

도면

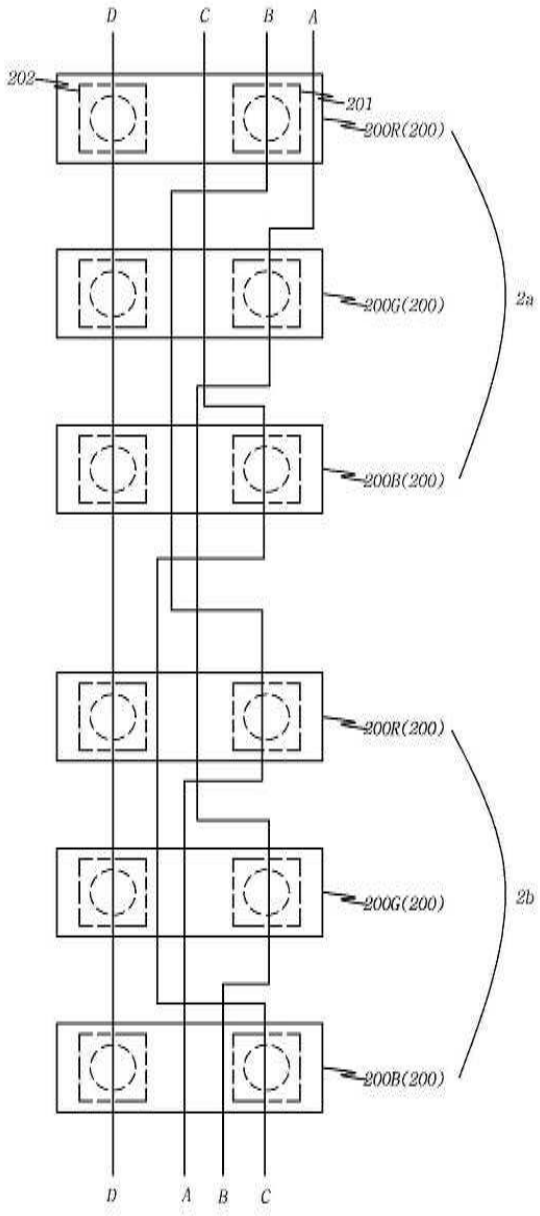
도면1



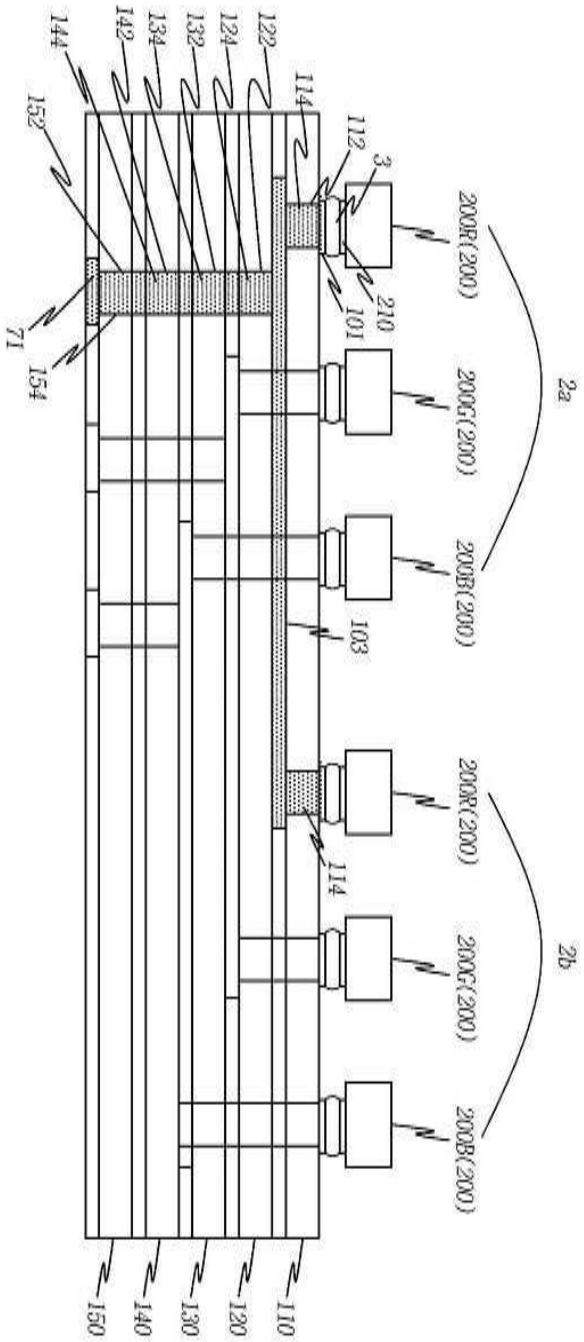
도면2



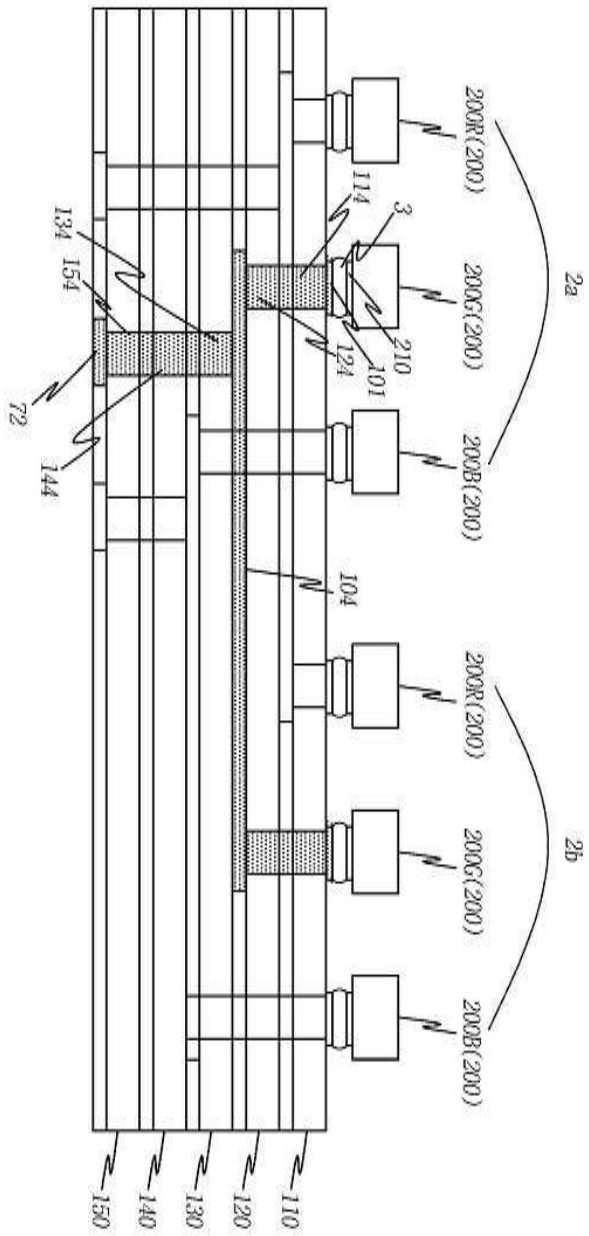
도면3


D
C
B
A
202
201
200R(200)
200G(200)
200B(200)
2a
200R(200)
200G(200)
200B(200)
2b
D
A
B
C

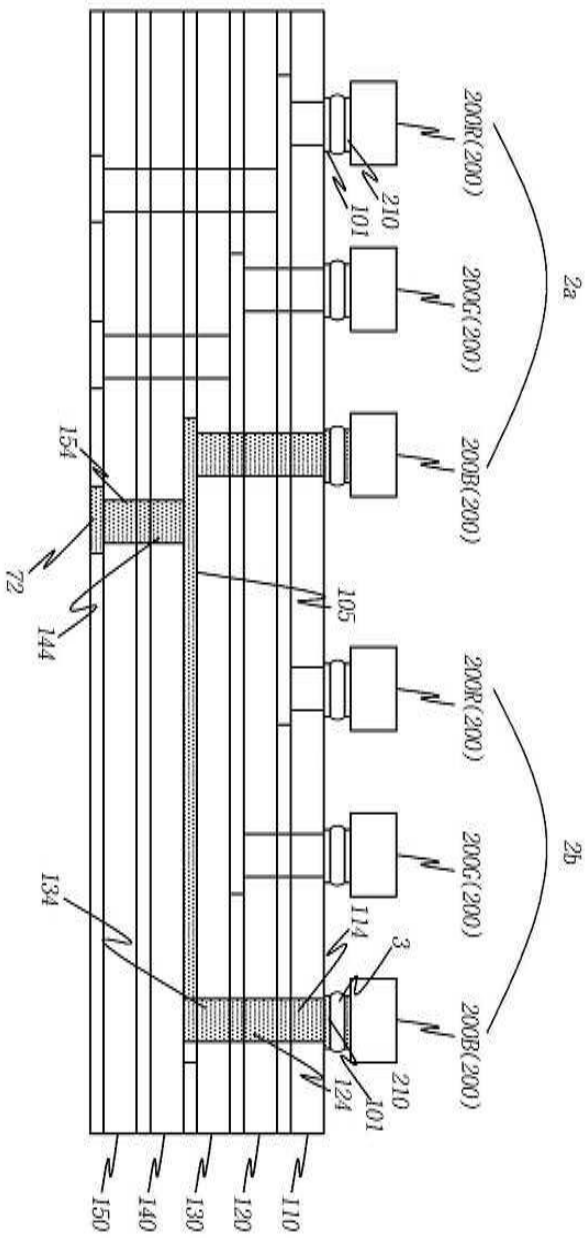
도면4


144
142
134
132
124
122
114
112
3
152
200R(200)
210
101
71
154
200G(200)
2a
200B(200)
103
200R(200)
114
2b
200G(200)
200B(200)
150
140
130
120
110

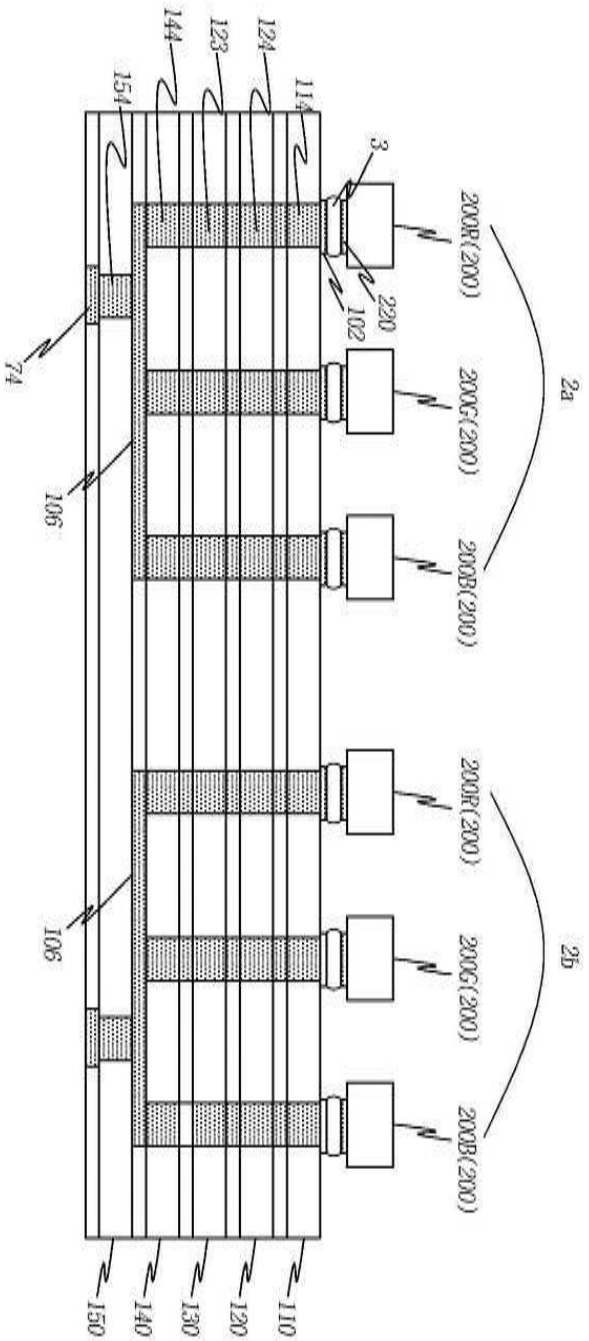
도면5


200R(200)
200G(200)
200B(200)
2a
2b
114
3
134
154
210
124
101
72
144
104
150
140
130
120
110

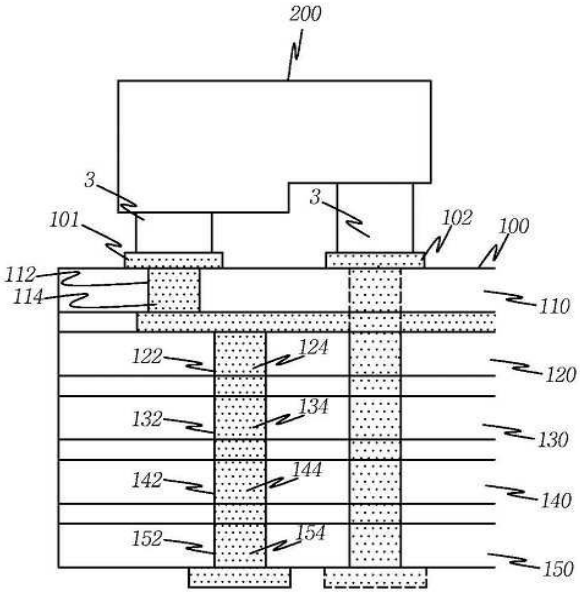
도면6


200R(200)
200G(200)
200B(200)
2a
210
101
154
72
144
105
200R(200)
200G(200)
200B(200)
2b
134
114
3
124
210
101
150
140
130
120
110

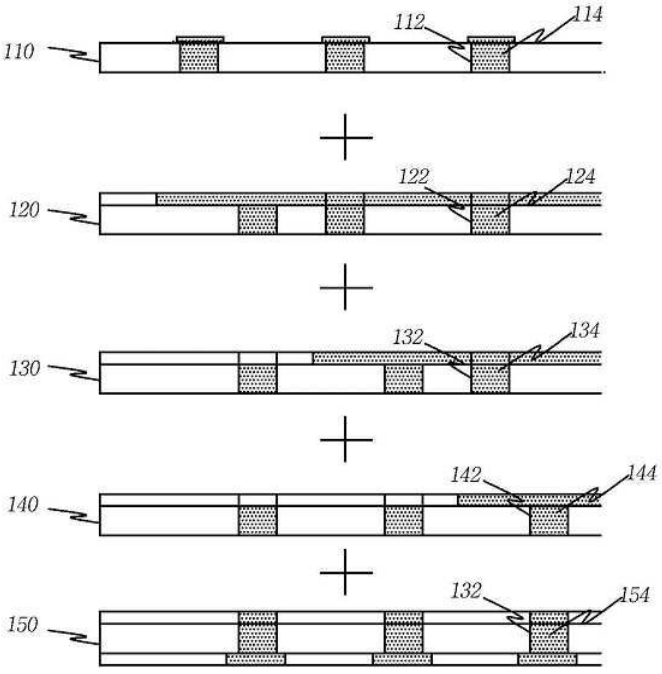
도면7


144
123
124
114
154
3
200R(200)
220
102
74
200G(200)
2a
106
200B(200)
200R(200)
106
200G(200)
2b
200B(200)
150
140
130
120
110

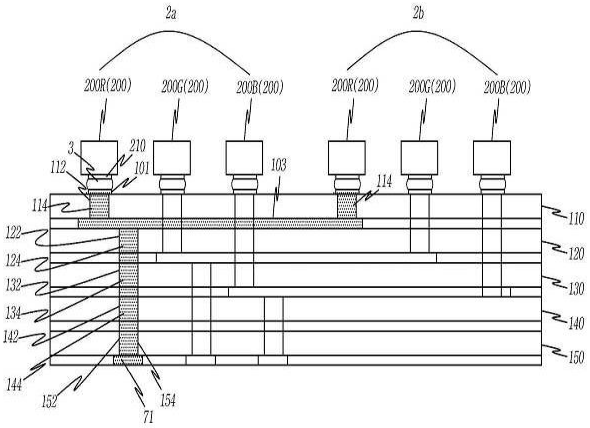
도면8


200
3
3
101
102
100
112
114
110
122
124
120
132
134
130
142
144
140
152
154
150

도면9


110
112
114
120
122
124
130
132
134
140
142
144
150
132
154

专利名称(译)	具有柔性多层电路基板的led模块		
公开(公告)号	KR1020190125084A	公开(公告)日	2019-11-06
申请号	KR1020180049372	申请日	2018-04-27
申请(专利权)人(译)	流明公司		
[标]发明人	김대원		
发明人	김대원		
IPC分类号	H01L27/15 H01L33/38 H01L33/48 H01L33/62		
CPC分类号	H01L27/156 H01L33/382 H01L33/486 H01L33/62		
代理人(译)	Yuchangyeol		
外部链接	Espacenet		

摘要(译)

公开了一种微型LED模块。 微型LED模块包括：柔性电路板； 多个LED像素安装在柔性电路板上，并且包括第一微型LED芯片，第二微型LED芯片和第三微型LED芯片，每个像素的至少一个边长等于或小于100μm。 第一微型LED芯片，第二微型LED芯片和第三微型LED芯片中的每一个均包括至少一个电极焊盘，该电极焊盘的宽度等于或小于80μm并且形成在面对柔性电路板的一侧上。 柔性电路板包括：第一柔性绝缘膜，该第一柔性绝缘膜包括第一导电图案，该第一导电图案通过直径等于或小于80μm的焊料凸点连接到电极焊盘并且形成在其上表面上； 第二柔性绝缘膜，通过第二导电图案介于第一柔性绝缘膜的下部和第二柔性绝缘膜之间。 第一柔性绝缘膜包括：第一通孔，形成为使得从与第一导电图案的一部分连接的上端到下端的截面形状和面积恒定。 第一通孔填充在第一通孔中。 因此，可以通过通孔实现垂直布线的效率。